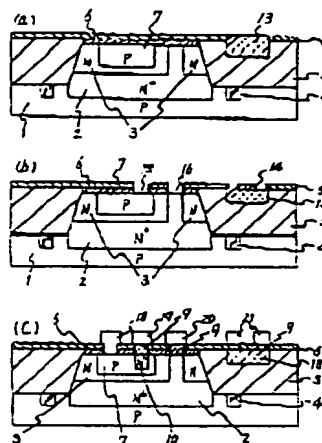


54) SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF

11) 5-218306 (A) (43) 27.8.1993 (19) JP
 21) Appl. No. 4-3517 (22) 13.1.1992
 71) NEC CORP (72) MASAO HONJO
 51) Int. Cl⁵. H01L27/04, H01L21/318, H01L21/76

PURPOSE: To form polysilicon resistors for a semiconductor integrated circuit with the small dispersion of resistance and the good flatness.

CONSTITUTION: A resistor comprises a polysilicon 13 buried in a nitride film 8 and a thick oxide film 5, a polysilicon 9 having a low resistance, and a resistance electrode 21. After the nitride film 8 and the thick oxide film 5 are etched, the polysilicon 13 is deposited and then is etched back and is flattened. Thus, the polysilicon 13 is precisely trimmed with the small dispersion of resistance. Further, since a step is eliminated by the flatness, an open or short does not occur probably.



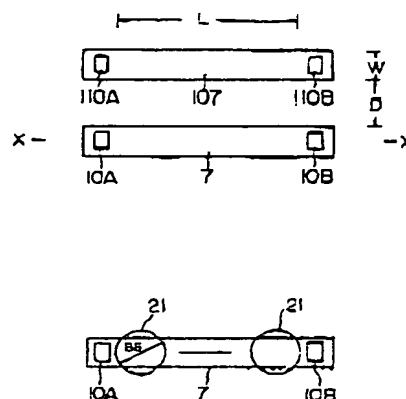
2: N⁺ type buried layer, 3: epitaxial layer, 4: channel stopper, 5: thin oxide film, 7: base, 13: emitter

54) METHOD OF ADJUSTING RESISTANCE IN SEMICONDUCTOR DEVICE

11) 5-218307 (A) (43) 27.8.1993 (19) JP
 21) Appl. No. 4-41902 (22) 31.1.1992
 71) SONY CORP (72) MIKIO MUKAI
 51) Int. Cl⁵. H01L27/04, H01S3/00

PURPOSE: To adjust a resistance formed in a semiconductor device preferably at a final stage of manufacturing the device.

CONSTITUTION: Impurities are diffused in an n⁺ type silicon isolation layer in which a p-n junction is isolated and a diffusion resistance layer 7 is formed. Then, at a final stage of a semiconductor device, a part of the diffusion resistance layer 7 is selectively heated to reduce its resistance by a laser annealing method in which a laser beam 21 with the same laser beam diameter BS as the width W of the diffusion resistance layer having the impurities is selectively emitted from the upper part of a protective insulating film or the like. Thus, the resistance can be easily adjusted at the final stage of the semiconductor device. Particularly, when a differential amplifier is formed with a bipolar transistor, a precise pair of resistances of the resistance pair ratio can be preferably adjusted as its load resistance.

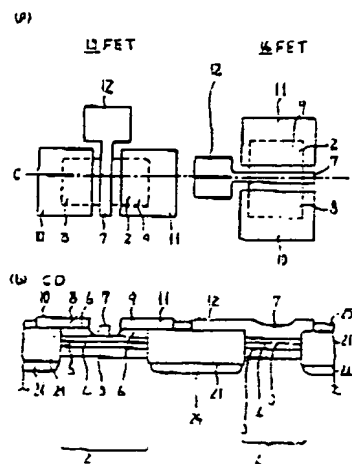


54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

11) 5-218309 (A) (43) 27.8.1993 (19) JP
 21) Appl. No. 4-17987 (22) 4.2.1992
 71) FUJITSU LTD (72) NORIO HIDAKA
 51) Int. Cl⁵. H01L27/06, H01L27/095

PURPOSE: To form a plurality of FETs formed in a mesa on a semi-insulating substrate and control a side gate effect and flatten a wiring.

CONSTITUTION: A semiconductor device comprises an insulating layer 21 formed on a region in which a mesa 2 on the surface of a substrate is not formed in contact with the mesa 2, an ion implantation layer 24 of boron or oxygen formed in the substrate in contact with the interface between the substrate and the insulating layer 21, and a gate electrode 7, a source electrode 8 and a drain electrode 9 in FETs 13 and 14 which extend from the mesa 2 to the insulating layer 21 and are formed.



1: buffer layer, 2: channel layer, 3: electron supply layer, 4: contact layer, 5: source lead-out electrode, 6: drain lead-out electrode, 7: gate lead-out electrode, 8: substrate, 9: insulating film, 10: plan view, 11: section view

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-218306

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04	P	8427-4M		
21/318	B	8518-4M		
21/76	S	9169-4M		

審査請求 未請求 請求項の数 2 (全 4 頁)

(21)出願番号 特願平4-3517

(22)出願日 平成4年(1992)1月13日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 本城 眞佐雄

東京都港区芝五丁目7番1号日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

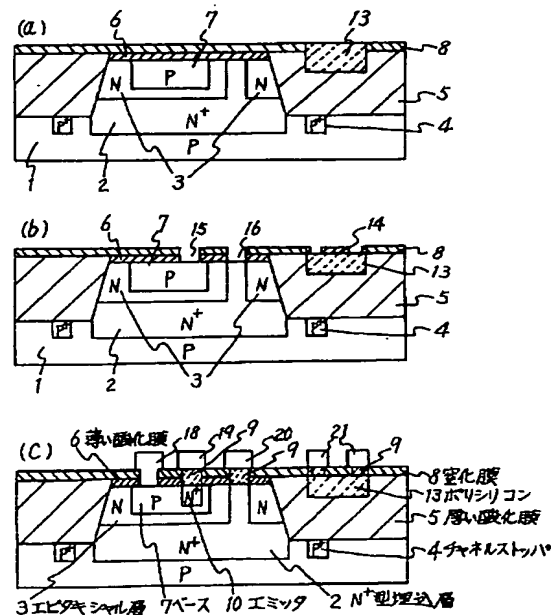
(54)【発明の名称】 半導体集積回路およびその製造方法

(57)【要約】 (修正有)

【目的】抵抗値のばらつきが小さく、平坦度の優れた半導体集積回路用のポリシリコン抵抗を形成する。

【構成】窒化膜8および厚い酸化膜5に埋め込まれたポリシリコン13、低抵抗ポリシリコン9、抵抗電極21が抵抗素子を構成している。窒化膜8および厚い酸化膜5をエッチングしたのちポリシリコン13を堆積し、エッチバックして平坦化する。

【効果】抵抗素子を構成するポリシリコンの加工精度が良く、抵抗値のばらつきが小さい。さらに平坦化により段差が解消されているので、オープンやショートのない。



1

【特許請求の範囲】

【請求項1】 半導体基板上に形成された素子間分離用の絶縁膜にポリシリコンからなる抵抗素子が埋め込まれ、前記抵抗素子の表面が酸化膜および窒化膜のうち少なくとも1つで保護されている半導体集積回路。

【請求項2】 半導体基板上に形成された素子間分離用の絶縁膜を選択的にエッチングして所定の深さの開口を形成する工程と、不純物をドーブしたポリシリコンを全面に堆積する工程と、前記ポリシリコンをエッチバックして前記開口にのみ前記ポリシリコンを残す工程とを含む半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路およびその製造方法に関し、ドーブドポリシリコン抵抗を有する半導体集積回路およびその製造方法に関するものである。

【0002】

【従来の技術】 エピタキシャル層に形成した拡散抵抗に比べて、不純物をドーブしたポリシリコン抵抗は寄生容量が大幅に小さいので、高周波帯での特性が優れている。そのため高周波帯用の半導体集積回路にはポリシリコン抵抗が用いられることが多い。

【0003】 NPNバイポーラトランジスタおよびポリシリコン抵抗を搭載した半導体集積回路について図3を参照して説明する。

【0004】 P型シリコン基板1に形成されたN⁺型埋込層2上にN型エピタキシャル層3が形成されている。N⁺型埋込層2およびN型エピタキシャル層3は、反転防止用P⁺型チャネルストップ4および厚い酸化膜5によって素子間分離されている。

【0005】 N型エピタキシャル層3には選択拡散法またはイオン注入法により珪素が拡散されたベース7および、珪素または磷が拡散されたエミッタ10が形成されている。同様にコレクタ領域では珪素または磷が拡散されてN⁺型埋込層2から引き上げてポリシリコン9を介してコレクタ電極20に接続されている。

【0006】 寄生容量を低減するため、素子間分離用の厚い酸化膜5に形成された窒化膜8上に不純物をドーブしたポリシリコン13からなる抵抗素子が形成されている。

【0007】

【発明が解決しようとする課題】 ポリシリコン抵抗を形成する際に、ポリシリコンを薄くするとマイグレーションで信頼性が下って高抵抗素子の形成が困難になる。

【0008】 マイグレーションを考慮して厚いポリシリコンが用いられるが、レジストをマスクとしてポリシリコンをドライエッチングまたはウェットエッチングしてパターニングするとき、サイドエッチング量が増加する。そのため加工寸法精度が悪くなって抵抗値のばらつき

2

きが大きくなるという問題があった。

【0009】 またポリシリコンを厚くすると、図3に示すように、ポリシリコン13と下地窒化膜8との段差が大きくなる。ポリシリコンカバー絶縁膜14と下地窒化膜8との段差が大きくなる。そのためポリシリコン13に接続する電極を形成するとき、配線金属が段切れしてオープンになったり、段差の側壁に金属残りが生じてショートしたりするという問題があった。

【0010】 さらに高抵抗のポリシリコン抵抗においては、配線金属とのコンタクト抵抗を低減するた図3に示す低抵抗ポリシリコン層17を形成しなければならない。そのため一層段差が大きくなって、オープンやショートが頻発する。

【0011】 SOG膜を塗布したのち熱処理して平坦化する方法があるが、製造工程が長くなり複雑になる。そのうえ熱履歴が増えてポリシリコンの層抵抗が変動して、抵抗値のばらつきが大きくなるという問題がある。

【0012】

【課題を解決するための手段】 本発明の半導体集積回路は、半導体基板上に形成された素子間分離用の絶縁膜にポリシリコンからなる抵抗素子が埋め込まれ、前記抵抗素子の表面が酸化膜および窒化膜のうち少なくとも1つで保護されているものである。

【0013】 また本発明の半導体集積回路の製造方法は、半導体基板上に形成された素子間分離用の絶縁膜を選択的にエッチングして所定の深さの開口を形成する工程と、不純物をドーブしたポリシリコンを全面に堆積する工程と、前記ポリシリコンをエッチバックして前記開口にのみ前記ポリシリコンを残す工程とを含むものである。

【0014】

【実施例】 本発明の一実施例について、図2(c)を参照して説明する。

【0015】 P型シリコン基板1上に珪素または磷がドーブされたN⁺型埋込層2およびN型エピタキシャル層3が形成されている。P⁺型拡散層からなるチャネルストップ4が形成され、その上にLOCOS選択酸化法による厚い酸化膜5が形成されて素子間分離が行なわれている。

【0016】 エピタキシャル層3上の薄い酸化膜6を介して、レジスト（図示せず）をマスクとして珪素をイオン注入することにより、ベース7が形成されている。エミッタ10は薄い酸化膜6および窒化膜8に形成された開口から熱拡散、またはポリシリコン9上からイオン注入、アニールして形成される。本実施例ではポリシリコン9中の珪素を不活性ガス雰囲気中で熱処理してエミッタ10が形成されている。

【0017】 珪素または磷を熱拡散してN⁺型埋込層2に達する深いコレクタ引き上げ層が、低抵抗ポリシリコン9を隔ててコレクタ電極の直下に形成されている。

3

【0018】ポリシリコン抵抗13はレジスト（図示せず）をマスクとして窒化膜8および厚い酸化膜5をドライエッチングして形成された開口に埋め込まれている。

【0019】さらにベース電極18、ポリシリコン9上のエミッタ電極19およびコレクタ電極20、ポリシリコン9上の抵抗電極21が形成されている。

【0020】つぎに本発明の一実施例の製造方法について、図1(a)～(c)および図2(a)～(c)を参照して説明する。

【0021】はじめに図1(a)に示すように、P型シリコン基板1上にN⁺型埋込層2を形成したのち厚さ1～2μmのエピタキシャル層3を成長する。つぎに選択拡散によりN⁺型埋込層2に達するチャンネルストップ4を形成したのち、LOCOS選択酸化により素子間分離用の厚さ2μmの酸化膜5を形成して素子間分離を行なう。つぎに薄い酸化膜6を形成したのち、フォトリソ（図示せず）をマスクとしてボロンをイオン注入してキャリア濃度 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ のベース7を形成し、全面を窒化膜8で被覆する。

【0022】つぎに図1(b)に示すように、レジスト2011をマスクとしてCF₄ガスを用いたドライエッチングにより窒化膜8および厚い酸化膜5をエッチングして開口12を形成する。

【0023】つぎに図1(c)に示すように、レジスト11を除去したのち全面にポリシリコン13を堆積したのち、熱拡散またはイオン注入およびアニールによりポリシリコン13に砒素またはリンをドーピングする。ここで砒素またはリンをドーピングしたポリシリコン13を堆積して工程を短縮することもできる。

【0024】つぎに図2(a)に示すように、レジスト30（図示せず）を回転塗布したのち、異方性ドライエッチングにより、レジストおよびポリシリコン13を窒化膜8が露出するまでエッチバックする。

【0025】つぎに図2(b)に示すように、ポリシリコン13の表面を900℃のスチーム雰囲気中で熱酸化して酸化膜14を形成したのち選択エッチングして、エミッタ開口15、コレクタコンタクト16、ポリシリコンコンタクトを形成する。

【0026】ここで熱酸化による酸化膜14の代りにCVDによる酸化膜または窒化膜を用いることもできる。

【0027】つぎに図2(c)に示すように、リンまたは砒素をドーピングしたポリシリコン9を堆積し、熱処理してエミッタ10を形成したのちエッチバックしてアルミニウム系の金属からなるベース電極18、エミッタ電極19、コレクタ電極20、抵抗電極21を形成して半導体集積回路が完成する。

【0028】本実施例では窒化膜8および厚い酸化膜5をドライエッチングしてポリシリコン13を埋め込むの

4

で、平面寸法精度が優れている。抵抗値のばらつきの小さい抵抗素子を得ることができる。

【0029】本発明はNPNバイポーラトランジスタのほか、PNPバイポーラトランジスタを含む相補型バイポーラ集積回路や、MOS集積回路およびBi-CMOS集積回路にも適用することができる。

【0030】

【発明の効果】窒化膜および厚い酸化膜をドライエッチングした開口にポリシリコンを埋め込む。平面形状の寸法精度が優れているので、抵抗値のばらつきの小さい抵抗素子を得ることができる。

【0031】さらにポリシリコン抵抗および表面保護絶縁膜による段差がなく、極めて平坦な抵抗素子を形成することができる。その結果、ポリシリコン抵抗素子の厚さの設計自由度が大きい、製造工程が短縮されるという効果がある。また配線金属の段切れ、段差の金属残りなどの問題が解消した。

【0032】高精度の抵抗素子を歩留良く生産することが可能になった。

【図面の簡単な説明】

【図1】本発明の第1の実施例の前半工程を示す断面図である。

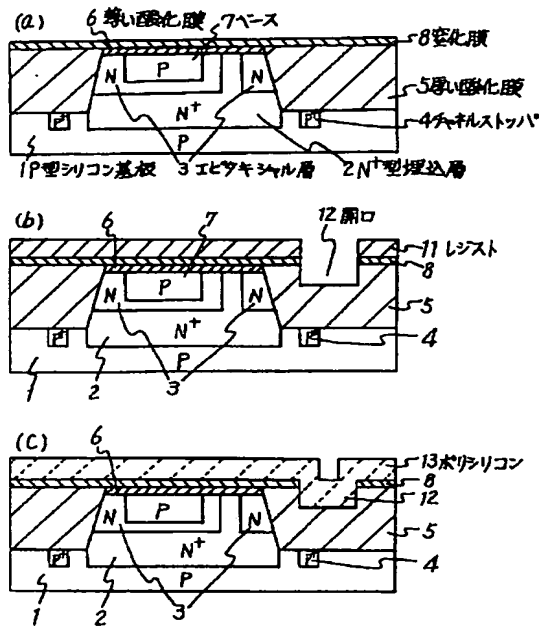
【図2】本発明の第1の実施例の後半工程を示す断面図である。

【図3】従来の半導体集積回路の製造方法を示す断面図である。

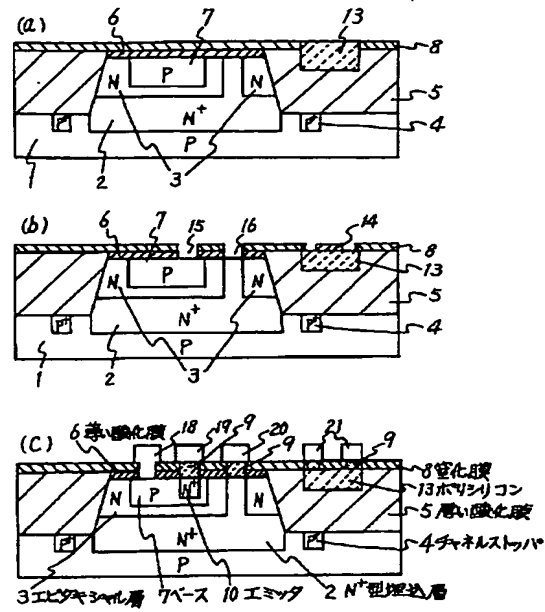
【符号の説明】

- | | |
|----|---------------------|
| 1 | P型シリコン基板 |
| 2 | N ⁺ 型埋込層 |
| 3 | エピタキシャル層 |
| 4 | チャンネルストップ |
| 5 | 厚い酸化膜 |
| 6 | 薄い酸化膜 |
| 7 | ベース |
| 8 | 窒化膜 |
| 9 | ポリシリコン |
| 10 | レジスト |
| 11 | ポリシリコン |
| 12 | 開口 |
| 13 | ポリシリコン |
| 14 | 酸化膜 |
| 15 | エミッタ開口 |
| 16 | コレクタコンタクト |
| 17 | 低抵抗ポリシリコン |
| 18 | ベース電極 |
| 19 | エミッタ電極 |
| 20 | コレクタ電極 |
| 21 | 抵抗電極 |

【図1】



【図2】



【図3】

